

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problems Mailbox.**

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-084776

(43)Date of publication of application : 31.03.1995

(51)Int.Cl. G06F 9/06
G06F 13/10

(21)Application number : 05-227425

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 13.09.1993

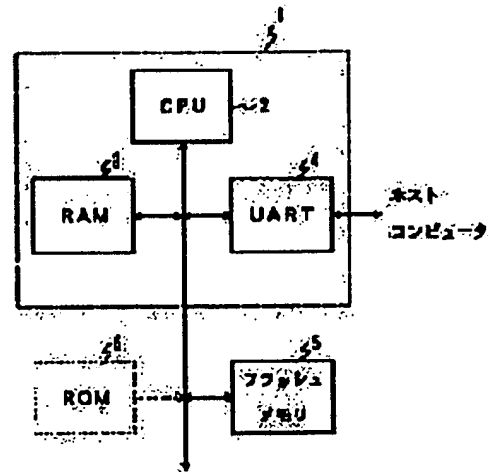
(72)Inventor : TOTANI TOKUYUKI

(54) COMPUTER FOR CONTROL AND PROGRAM RELOADING METHOD

(57)Abstract:

PURPOSE: To easily and surely change a control program without increasing the number of parts such as a ROM and a cost in a computer for control for executing the various kinds of the control by the control program stored in a flash memory.

CONSTITUTION: At the time of reloading the old control program stored in the flash memory 5 with the new control program, a CPU 2 sets a program for reloading read from the flash memory 5 in a RAM 3 and an I/O interface 4 sets the new control program transferred from a host computer in the RAM 3. The CPU 2 executes the program for reloading set in the RAM 3 and reloads the old control program stored in the flash memory 5 with the new control program.



LEGAL STATUS

[Date of request for examination]

19.11.1998

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(51) Int.Cl. ⁸	識別記号	庁内整理番号	F I	技術表示箇所
G 0 6 F 9/06	5 4 0 M	9367-5B		
13/10	3 3 0 B	8133-5B		

審査請求 未請求 請求項の数 4 O L (全 7 頁)

(21) 出願番号 特願平5-227425

(22) 出願日 平成5年(1993)9月13日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 戸谷 得之

東京都青梅市末広町2丁目9番地 株式会

社東芝青梅工場内

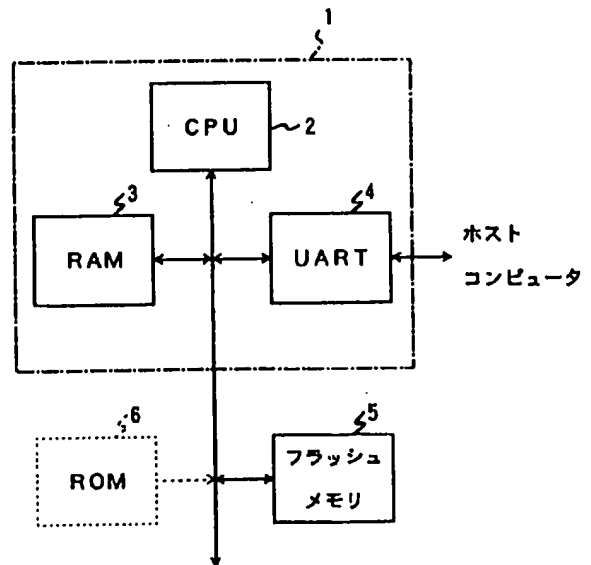
(74) 代理人 弁理士 鈴江 武彦

(54) 【発明の名称】 制御用コンピュータとプログラム書換え方法

(57) 【要約】

【目的】 本発明の目的は、フラッシュメモリに格納した制御プログラムにより各種制御を実行する制御用コンピュータにおいて、ROM等の部品点数やコストの増大を招くことなく、制御プログラムの変更を簡単かつ確実にこなうことを実現することにある。

【構成】 フラッシュメモリ5に格納された旧の制御プログラムを新制御プログラムに書換えるときに、CPU2はフラッシュメモリ5から読出した書換え用プログラムをRAM3にセットする。I/Oインターフェース4はホストコンピュータから転送された新制御プログラムをRAM3にセットする。CPU2はRAM3にセットされた書換え用プログラムを実行して、フラッシュメモリ5に格納された旧の制御プログラムを新制御プログラムに書換える。



【特許請求の範囲】

【請求項1】 メインメモリに格納されたプログラムを
 実行するCPU手段と、
 前記CPU手段が各種の制御を実行するための制御プロ
 グラムを格納した不揮発性メモリ手段と、
 前記制御プログラムを書換えるための書換え用プログラ
 ムを前記メインメモリにセットするセット手段と、
 前記CPU手段が前記メインメモリにセットされた前記
 書換え用プログラムを実行して前記不揮発性メモリ手段
 に格納された旧の前記制御プログラムを新制御プログラ
 ムに書換えるときに、外部から転送された前記新制御プ
 ログラムを前記メインメモリにセットするためのインタ
 ーフェース手段とを具備したことを特徴とする制御用コ
 ンピュータ。

【請求項2】 メインメモリに格納されたプログラムを
 実行するCPU手段と、
 前記CPU手段が各種の制御を実行するための制御プロ
 グラム及びこの制御プログラムを書換えるための書換え
 用プログラムを格納した不揮発性メモリ手段と、
 この不揮発性メモリ手段から前記書換え用プログラムを
 読出して、前記メインメモリにセットするセット手段
 と、
 前記CPU手段が前記メインメモリにセットされた前記
 書換え用プログラムを実行して前記不揮発性メモリ手段
 に格納された旧の前記制御プログラムを新制御プログラ
 ムに書換えるときに、外部から転送された前記新制御プ
 ログラムを前記メインメモリにセットするためのインタ
 ーフェース手段とを具備したことを特徴とする制御用コ
 ンピュータ。

【請求項3】 メインメモリに格納された制御プログラ
 ムにより、ディスクドライブの各種制御を実行する制御
 用コンピュータにおいて、
 前記メインメモリに格納された前記制御プログラムおよ
 び他のプログラムを実行するCPU手段と、
 前記制御プログラム及びこの制御プログラムを書換える
 ための書換え用プログラムを格納した不揮発性メモリ手
 段と、
 この不揮発性メモリ手段から前記書換え用プログラムを
 読出して、前記メインメモリにセットするセット手段
 と、
 外部のホストコンピュータとデータの送受信を実行し、
 前記CPU手段が前記メインメモリにセットされた前記
 書換え用プログラムを実行して前記不揮発性メモリ手段
 に格納された旧の前記制御プログラムを新制御プログラ
 ムに書換えるときに、前記ホストコンピュータから転送
 された前記新制御プログラムを前記メインメモリにセッ
 トするためのインターフェース手段とを具備したことを
 特徴とする制御用コンピュータ。

【請求項4】 メインメモリに格納されたプログラムを
 実行するCPU手段、および前記CPU手段が各種の制

御を実行するための制御プログラムとこの制御プログラ
 ムを書換えるための書換え用プログラムを格納した不揮
 発性メモリ手段を備えた制御用コンピュータにおいて、
 前記不揮発性メモリ手段から前記書換え用プログラムを
 読出して、前記メインメモリにセットするステップと、
 インターフェース手段を介して外部から転送された新制
 御プログラムを前記メインメモリにセットするステップ
 と、
 前記CPU手段が前記メインメモリにセットされた前記
 書換え用プログラムを実行して、前記不揮発性メモリ手
 段に格納された旧の前記制御プログラムを前記新制御プ
 ログラムに書換えるステップとからなることを特徴とす
 るプログラム書換え方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、例えばハードディスク
 装置等に使用される制御用コンピュータに関する。

【0002】

【従来の技術】 従来、例えばハードディスク装置（HD
 D）には、ディスクドライブの各種機構を制御するため
 の制御用コンピュータであるマイクロコンピュータが設
 けられている。制御用コンピュータは、予め用意された
 制御プログラムにより、所定の制御動作を実行する専
 用コンピュータである。

【0003】 制御プログラムは通常では、ICメモリで
 あるROM（read only memory）に格納
 されており、固定的にセットされている。しかしなが
 ら、製品仕様に応じて、制御プログラムの変更を要す
 ることがある。このため、制御用コンピュータをHDDの
 内部に取り付けるときに、ROMをICソケットを使用
 して実装する方式がある。ICソケットであれば、異
 なる制御プログラムを格納したROM自体を交換するこ
 とにより、制御プログラムを変更することが可能となる。

【0004】 しかし、ICソケットを使用する方式で
 は、ICソケットにセットしたときにROMの接触不良
 が発生しやすい。また、当然ながらICソケットの分
 だけコストが増大し、またプリント回路基板上にICソ
 ケットのスペースが必要となる。一方、ICソケットを使
 用しないで、ROMをプリント回路基板上に半田付けす
 る方法では、ROMの交換は困難となり実際的でない。

【0005】 ところで、制御プログラムを格納するた
 めに、ROMの代わりに不揮発性で書換え可能なROMで
 あるフラッシュメモリを使用する方式がある。フラッ
 シュメモリは、通常ではEEPROM（electric
 ally erasable and programm
 ble read only memory）からな
 り、ブロック単位で消去、書換え動作が可能でICメモ
 リである。フラッシュメモリを使用する方式であれば、
 メモリ自体を交換することなく、制御プログラムを書換
 えることで変更することができる。

3

【0006】

【発明が解決しようとする課題】 HDD等に使用されている制御コンピュータは、通常ではROMに固定的にセットされた制御プログラムにより動作する。しかし、ROMを使用した方式では制御プログラムの変更が困難であるため、ROMの代わりにフラッシュメモリを使用する方式が採用されつつある。

【0007】 フラッシュメモリはブロック単位で消去、書換え動作が可能な不揮発性のEEPROMからなるため、メモリ自体を交換することなく、制御プログラムを書換えることで変更することができる。したがって、ROMを使用した方式の欠点を解消することができるが、以下の問題がある。即ち、フラッシュメモリに格納した制御プログラムを書換えるためには、書換え用プログラムを用意し、制御コンピュータのCPUが書換え処理を実行する必要がある。このため、従来では、書換え用プログラムを格納したROMを実装することが行なわれているが、このROMの実装に伴って部品点数やコストの増大を招く結果になっている。

【0008】 本発明の目的は、フラッシュメモリに格納した制御プログラムにより各種制御を実行する制御用コンピュータにおいて、ROM等の部品点数やコストの増大を招くことなく、制御プログラムの変更を簡単かつ確実に行なうことを実現することにある。

【0009】

【課題を解決するための手段】 本発明の第1は、メインメモリに格納された制御プログラムを実行し、HDD等の各種制御を実行するCPU手段を備えた制御用コンピュータにおいて、制御プログラムを格納した不揮発性メモリ手段、制御プログラムを書換えるための書換え用プログラムをメインメモリにセットするセット手段および外部から転送された新制御プログラムをメインメモリにセットするためのインターフェース手段を備えたコンピュータである。

【0010】 本発明の第2は、メインメモリに格納された制御プログラムを実行し、HDD等の各種制御を実行するCPU手段を備えた制御用コンピュータにおいて、制御プログラムと書換え用プログラムを格納した不揮発性メモリ手段、その書換え用プログラムをメインメモリにセットするセット手段および外部から転送された新制御プログラムをメインメモリにセットするためのインターフェース手段を備えたコンピュータである。

【0011】

【作用】 本発明の第1では、不揮発性メモリ手段に格納された旧の制御プログラムを新制御プログラムに書換えるときに、インターフェース手段は外部から転送された新制御プログラムをメインメモリにセットする。CPU手段はメインメモリにセットされた書換え用プログラムを実行して、不揮発性メモリ手段に格納された旧の制御プログラムを新制御プログラムに書換える。

4

【0012】 本発明の第2では、不揮発性メモリ手段に格納された旧の制御プログラムを新制御プログラムに書換えるときに、セット手段は不揮発性メモリ手段から読出した書換え用プログラムをメインメモリにセットする。インターフェース手段は外部から転送された新制御プログラムをメインメモリにセットする。CPU手段はメインメモリにセットされた書換え用プログラムを実行して、不揮発性メモリ手段に格納された旧の制御プログラムを新制御プログラムに書換える。

【0013】

【実施例】 以下図面を参照して本発明の実施例を説明する。図1は同実施例に係わる制御用コンピュータであり、例えばHDDのディスクドライブの制御用マイクロコンピュータの要部を示すブロック図、図2は同実施例に係わる制御用マイクロコンピュータを使用したHDDの要部を示すブロック図、図3は同実施例に係わるフラッシュメモリとRAMの構成を説明するための概念図、図4は同実施例の動作を説明するためのフローチャートである。

【0014】 本コンピュータは、図1に示すように、中央処理ユニットであるマイクロプロセッサ(CPU)2、リード/ライトメモリであるRAM(random access memory)3およびI/Oインターフェース4をワンチップで構成したマイクロコンピュータ1を有する。さらに、本コンピュータは、CPU2によりアクセスされるフラッシュメモリ5を有する。

【0015】 CPU2はRAM3に格納された制御プログラムを実行し、図2に示すように、HDDのディスクドライブの各種機構を制御する。RAM3は、図3(B)に示すように、スタックエリア3a、プログラムコピーエリア3b、コピーデータワークエリア3c、プログラムワークエリア3dおよびレジスタバンク3eの各エリアを有する。プログラムコピーエリア3bは、フラッシュメモリ5から読出した制御プログラムの書換え用プログラムを格納するためのエリアである。コピーデータワークエリア3cは、I/Oインターフェース4を介して外部のホストコンピュータから転送されたプログラムやデータを格納するためのエリアである。プログラムワークエリア3dは、フラッシュメモリ5から読出した制御プログラムを格納するためのエリアである。

【0016】 I/Oインターフェース4は、外部のホストコンピュータと接続し、各種プログラムやデータの交換を行なうインターフェースである。具体的には、I/Oインターフェース4は非同期通信用のUART(universal asynchronous receiver/transmitter)からなる。フラッシュメモリ5は、ブロック単位で消去、書換え動作が可能な不揮発性のEEPROMからなる。フラッシュメモリ5は、図3(A)に示すように、ジャンプベクタを格納するエリア5a、メインプログラムを格納するエリア

5

5 b、プログラムローダを格納するエリア5 cおよび書換え用プログラムを格納するエリア5 dを有する。ジャンプベクタは所定のスタートアドレスに割込みするためのベクタである。メインプログラムは、同実施例ではディスクドライブの各種機構を制御するための制御プログラムである。プログラムローダは、フラッシュメモリ5から制御プログラムや書換え用プログラムを讀出して、RAM3にロードするためのプログラムである。書換え用プログラムは、CPU2がフラッシュメモリ5に格納された旧の制御プログラム(メインプログラム)を新制

御プログラムに書換える処理を実行するためのプログラムである。
 【0017】このような制御用マイクロコンピュータ1を使用したHDDのディスクドライブは、図2に示すように構成されている。ディスクドライブは、記録媒体であるディスク15にデータのリード/ライトを実行するためのヘッド10、ディスク15を回転駆動するためのスピンドルモータ16およびヘッド10を保持してディスク15の半径方向にシークさせるためのボイスコイルモータ(VCM)17を備えている。スピンドルモータ16とVCM17はそれぞれ、モータドライバ・モータコントローラのユニット18により駆動制御される。ユニット18は、制御用マイクロコンピュータ1からの制御信号によりスピンドルモータ16を駆動制御する。また、サーボ回路19からの制御信号によりVCM17を駆動制御する。

【0018】制御用マイクロコンピュータ1はリード/ライト(R/W)回路12を制御して、ヘッドIC11を通じてヘッド10にライト信号を供給し、またはヘッド10からのリード信号を再生させる。サーボ回路19はR/W回路12により再生されたサーボ信号(位置信号と目標シリンダアドレス)により、ヘッド10を目標シリンダの中心に位置決めするための制御信号をユニット18に供給する。HDC13はホストコンピュータ7とディスクドライブのインターフェースを構成し、リード/ライトデータやインターフェース信号の交換を行なう。HDC13はリード/ライトデータをバッファするためのバッファRAM14をアクセスする。

【0019】次に、同実施例の動作を説明する。制御用マイクロコンピュータ1は、図1に示すように、フラッシュメモリ5に格納された制御プログラムをRAM3にロードし、この制御プログラムを実行することにより各種制御を実行する。具体例としては、図2に示すように、ディスクドライブのヘッド10、スピンドルモータ16およびVCM17等の各機構の制御を行なう。ここで、CPU2は、図3(A)に示すように、フラッシュメモリ5のプログラムローダにより、制御プログラムを讀出してRAM3のプログラムワークエリア3 dにセットする。

【0020】次に、図4のフローチャートを参照して、

6

制御プログラムの変更処理について説明する。まず、CPU2は、フラッシュメモリ5のプログラムローダにより、フラッシュメモリ5に予め格納された書換え用プログラムを讀出して、RAM3のプログラムコピーエリア3 bにロードする(ステップS1)。フラッシュメモリ5に格納された旧の制御プログラムを変更するための新制御プログラムは、ホストコンピュータ7からI/Oインターフェース4に転送される。CPU2は、I/Oインターフェース4により受信した新制御プログラムを、一時的にRAM3のコピーデータワークエリア3 cに格納する(ステップS2, S3)。

【0021】次に、CPU2はRAM3にロードされた書換え用プログラムの実行を開始する(ステップS4)。即ち、CPU2は、フラッシュメモリ5の書換え対象であるエリア5 bを消去する(ステップS5)。そして、一時的にRAM3に格納した新制御プログラムを、消去したフラッシュメモリ5のエリア5 bに書込む(ステップS6)。書込み処理では書込みチェック(ライトベリファイ)を経て、全ての新制御プログラムが書込まれると、書込み完了となる(ステップS7, S8)。これにより、フラッシュメモリ5のエリア5 bは、旧の制御プログラムから新制御プログラムに書換えられたことになる。

【0022】以後、CPU2は、フラッシュメモリ5のエリア5に記憶された新制御プログラムによりディスクドライブの各機構の制御を行なう。このようにして、フラッシュメモリ5に格納された書換え用プログラムをRAM3にロードして、この書換え用プログラムを実行することにより、フラッシュメモリ5に格納された旧の制御プログラムを新制御プログラムに書換える処理を行なう。したがって、製品仕様の変更に応じて、制御用マイクロコンピュータ1の制御プログラムを簡単かつ確実に変更することが可能となる。この場合、図1に示すように、従来では書換え用プログラムを格納したROM6が必要であったが、同実施例では書換え用プログラムをフラッシュメモリ5から讀出してRAM3にロードするため、そのようなROM6を不要にすることができる。

【0023】なお、同実施例では、書換え用プログラムがフラッシュメモリ5に予め格納されている場合について説明したが、これに限ることはない。即ち、ホストコンピュータ7からの書換え用プログラムをI/Oインターフェース4により受信し、RAM3にロードするような構成でもよい。

【0024】

【発明の効果】以上詳述したように本発明によれば、フラッシュメモリに格納した制御プログラムにより各種制御を実行する制御用コンピュータにおいて、書換え用プログラムを格納したROM等を予め用意することなく、フラッシュメモリに格納した制御プログラムを簡単かつ

確実に変更することができる。したがって、書換え用プ

7

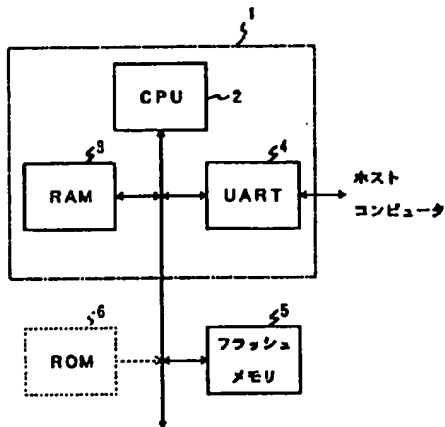
プログラムを格納したROM等を不要にすることができるため、ROM等の部品点数やコストの増大を招くことなく、制御プログラムの変更を簡単かつ確実にこなうことを実現することができる。

【図面の簡単な説明】

【図1】 本発明の実施例に係わる制御用マイクロコンピュータの要部を示すブロック図。

【図2】 同実施例に係わる制御用マイクロコンピュータを使用したHDDの要部を示すブロック図。

【図1】



8

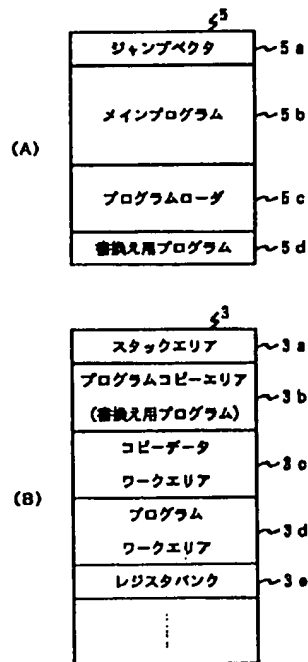
【図3】 同実施例に係わるフラッシュメモリとRAMの構成を説明するための概念図。

【図4】 同実施例の動作を説明するためのフローチャート。

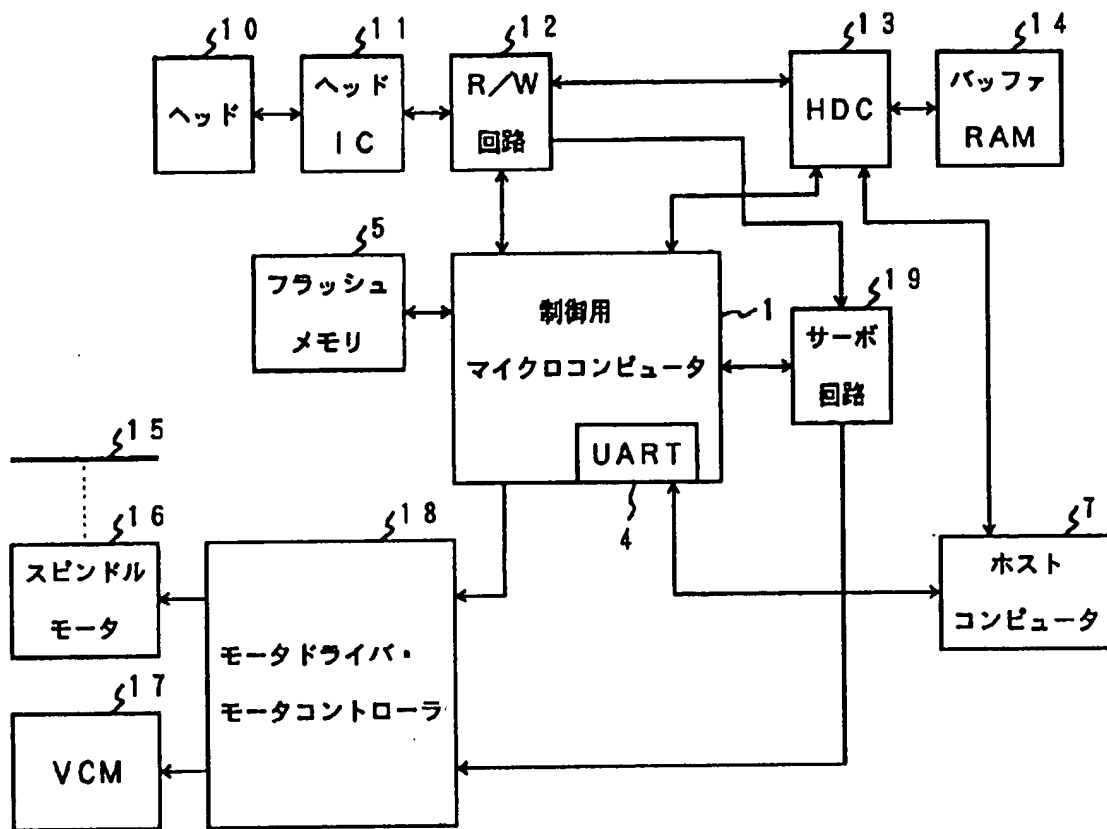
【符号の説明】

1…制御用マイクロコンピュータ、2…CPU、3…RAM、4…I/Oインターフェース、5…フラッシュメモリ、6…ROM。

【図3】



【図2】



【図4】

